

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210877

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 35/02  
G01J 1/02  
G01J 5/48  
H01L 27/14  
H01L 27/148  
H01L 35/32  
H01L 35/34  
H01L 37/02

(21)Application number : 2000-330336

(22)Date of filing : 30.10.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(72)Inventor : KOBUCHI HIROTO  
CHATANI YOSHIKAZU  
YAMADA TAKAHIRO  
NISHIO RIEKO  
UOZUMI HIROAKI  
MASUYAMA MASAYUKI  
YAMAGUCHI TAKUMI  
ONOE JUNICHI

(30)Priority

Priority number : 11310553 Priority date : 01.11.1999 Priority country : JP  
11329516 19.11.1999

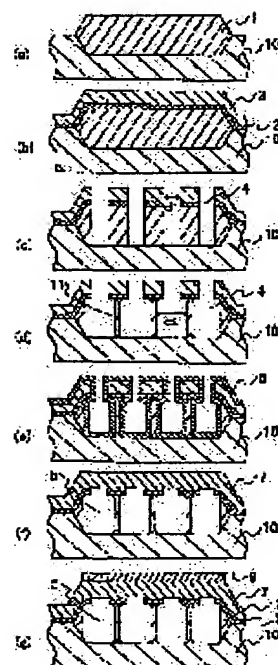
JP

## (54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a semiconductor device where heat detectors can be disposed at high density by a method having superior in matching with a silicon mass-production process.

SOLUTION: This semiconductor device includes a silicon substrate 10, a heat-insulating layer including a silicon oxidation film 1 and a heat detector 8. The heat-insulating layer has a hollow 5 or a hole 4, whose inside diameter is larger than that of its opening. At least part of the hollow or the hole is formed in the silicon oxidation film 1. The heat-insulating layer can be formed by forming a hole in a silicon polycrystalline film 3 and a silicon oxidation film 1 through dry etching, oxidizing at least a portion brought into contact with the opening of the hole 4 in the silicon polycrystalline film 3 and blocking the opening to form a hollow 5 or making the diameter of the opening smaller than the inside diameter.



## LEGAL STATUS

[Date of request for examination] 30.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210877

(P2001-210877A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 L 35/02		H 0 1 L 35/02	
G 0 1 J 1/02		G 0 1 J 1/02	Q
5/48		5/48	F
H 0 1 L 27/14		H 0 1 L 35/32	A
27/148		35/34	
審査請求 有 請求項の数33 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2000-330336(P2000-330336)

(22) 出願日 平成12年10月30日(2000. 10. 30)

(31) 優先権主張番号 特願平11-310553

(32) 優先日 平成11年11月1日(1999. 11. 1)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-329516

(32) 優先日 平成11年11月19日(1999. 11. 19)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 荻淵 寛仁

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 茶谷 吉和

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外5名)

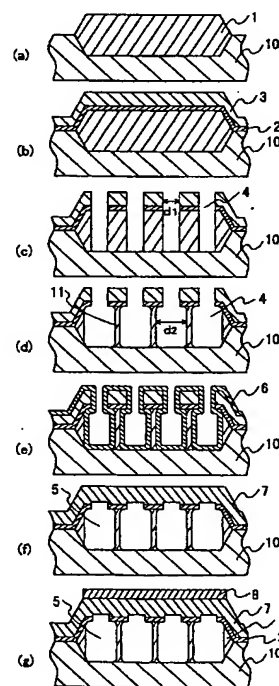
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 熱検出部を高密度に配置できる半導体装置を、シリコン量産プロセスとの整合性に優れた方法により製造する。

【解決手段】 シリコン基板10と、シリコン酸化膜1を含む断熱層と、熱検出部8を含み、断熱層が、空洞5または開口の径よりも内部の径が大きい孔4を有し、空洞または孔の少なくとも一部がシリコン酸化膜1内に形成されている半導体装置とする。この断熱層は、シリコン多結晶膜3およびシリコン酸化膜1にドライエッチングにより孔を形成し、少なくともシリコン多結晶膜3の孔4の開口に接する部分を酸化して、開口を閉塞して空洞5とするか、または開口の径を内部の径よりも小さくすることにより形成できる。



## 【特許請求の範囲】

【請求項 1】 シリコン基板と、前記シリコン基板上に形成された、シリコン酸化膜を含む断熱層と、前記断熱層上に形成された熱検出部とを含み、前記断熱層が、空洞または開口の径よりも内部の径が大きい孔を有し、前記空洞または前記孔の少なくとも一部が前記シリコン酸化膜内に形成されていることを特徴とする半導体装置。

【請求項 2】 断熱層が空洞を有する請求項 1 に記載の半導体装置。

【請求項 3】 断熱層が、空洞の上方に配置された、部分的に酸化されたシリコン多結晶膜または追加のシリコン酸化膜を含む請求項 2 に記載の半導体装置。

【請求項 4】 断熱層が、部分的に酸化されたシリコン多結晶膜または追加のシリコン酸化膜を含み、孔の開口が、前記シリコン多結晶膜の酸化部分または前記追加のシリコン酸化膜により囲まれている請求項 1 に記載の半導体装置。

【請求項 5】 断熱層が、シリコン酸化膜上に形成されたシリコン窒化膜を含む請求項 1 に記載の半導体装置。

【請求項 6】 シリコン窒化膜が空洞の上方において開口を有する請求項 5 に記載の半導体装置。

【請求項 7】 シリコン窒化膜を孔の開口が貫通している請求項 5 に記載の半導体装置。

【請求項 8】 シリコン窒化膜上に、部分的に酸化されたシリコン多結晶膜または追加のシリコン酸化膜が形成されている請求項 5～7 のいずれかに記載の半導体装置。

【請求項 9】 断熱層と熱検出部との間に、有機材料および多孔質材料から選ばれる少なくとも一方からなる中間層をさらに含む請求項 1～8 のいずれかに記載の半導体装置。

【請求項 10】 熱検出部が、ボロメータ効果およびゼーベック効果から選ばれる少なくとも一方を有する材料からなる請求項 1～9 のいずれかに記載の半導体装置。

【請求項 11】 空洞または孔のシリコン酸化膜内に形成された部分の断熱層厚さ方向における径が 10 nm 以上 1 μm 以下である請求項 1～10 のいずれかに記載の半導体装置。

【請求項 12】 空洞または孔のシリコン酸化膜内に形成された部分の断熱層面内方向における径が 0.3 μm 以上 0.8 μm 以下である請求項 1～11 のいずれかに記載の半導体装置。

【請求項 13】 断熱層が、複数の空洞または孔を含む請求項 1～12 のいずれかに記載の半導体装置。

【請求項 14】 複数の空洞または孔が、断熱層内で互いにつながっている請求項 13 に記載の半導体装置。

【請求項 15】 複数の空洞または孔が所定のパターンに配列し、前記パターンに沿って熱検出部が形成されている請求項 13 または 14 に記載の半導体装置。

【請求項 16】 シリコン基板上に複数の断熱層および

熱検出部が行列状に配置された請求項 1～15 のいずれかに記載の半導体装置。

【請求項 17】 熱検出部ごとに光検出部を隣接して配置した請求項 16 に記載の半導体装置。

【請求項 18】 熱検出部の列に沿って信号を伝達する垂直方向信号伝達手段として、電荷結合素子 (CCD) を配置した請求項 16 または 17 に記載の半導体装置。

【請求項 19】 熱検出部の列に沿って信号を伝達する垂直方向信号伝達手段として、相補型 MOS (C-MOS) を用いた読み出し構成を配置した請求項 16 または 17 に記載の半導体装置。

【請求項 20】 熱検出部ごとに、電荷蓄積部と、前記熱検出部で生成した電気信号に応じて前記電荷蓄積部から電荷を読み出す電荷読み出し部とを配置した請求項 16～19 のいずれかに記載の半導体装置。

【請求項 21】 シリコン基板上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜上にシリコン多結晶膜を形成する工程と、前記シリコン多結晶膜および前記シリコン酸化膜にドライエッチングにより孔を形成する工程と、少なくとも前記シリコン多結晶膜の前記孔の開口に接する部分を酸化して、前記開口を閉塞するか、または前記開口の径を内部の径よりも小さくする工程と、少なくとも前記シリコン酸化膜を含む層を断熱層として、この断熱層上に熱検出部を形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 22】 シリコン多結晶膜の酸化により孔の開口を閉塞して空洞を形成する請求項 21 に記載の半導体装置の製造方法。

【請求項 23】 孔を形成した後に、ウェットエッチングにより前記孔に接するシリコン酸化膜の内壁を後退させて前記孔の内部の径を開口の径よりも大きくする工程をさらに含む請求項 21 または 22 に記載の半導体装置の製造方法。

【請求項 24】 ウェットエッチング後に、少なくとも孔の開口に接する内壁に追加のシリコン多結晶膜を付着させる工程をさらに含む請求項 23 に記載の半導体装置の製造方法。

【請求項 25】 シリコン多結晶膜の酸化後に、少なくとも孔の開口に接する内壁に追加のシリコン多結晶膜を付着させ、少なくとも前記内壁に付着した前記追加のシリコン多結晶膜を酸化する工程を少なくとも 1 回行うことにより、前記開口を閉塞する請求項 23 に記載の半導体装置の製造方法。

【請求項 26】 ドライエッチングにより形成する孔の径を 0.3 μm 以上 0.4 μm 以下とする請求項 21～25 のいずれかに記載の半導体装置の製造方法。

【請求項 27】 シリコン酸化膜の膜厚を 10 nm 以上 1 μm 以下とする請求項 21～26 のいずれかに記載の半導体装置の製造方法。

【請求項 28】 シリコン多結晶膜を形成する前に、シ

リコン酸化膜上にシリコン窒化膜を形成する工程をさらに含む請求項 21～27 のいずれかに記載の半導体装置の製造方法。

【請求項 29】 シリコン多結晶膜の酸化後、熱検出部の形成前に、シリコン多結晶膜上に有機材料および多孔質材料から選ばれる少なくとも一方からなる中間層を形成する工程をさらに含む請求項 21～28 のいずれかに記載の半導体装置の製造方法。

【請求項 30】 ドライエッチングにより複数の孔を形成する請求項 21～29 のいずれかに記載の半導体装置。

【請求項 31】 ウェットエッチングにより複数の孔の間に存在するシリコン酸化膜からなる内壁の少なくとも一部を除去して前記複数の孔を互いにつなげる工程をさらに含む請求項 30 に記載の半導体装置の製造方法。

【請求項 32】 複数の孔を所定のパターンに沿って形成し、前記パターンに沿って熱検出部を形成する請求項 21～31 のいずれかに記載の半導体装置の製造方法。

【請求項 33】 シリコン基板上に複数の断熱層および熱検出部を行列状に形成する請求項 21～32 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関する。本発明は、特に熱電変換機能を有する半導体装置に関し、セキュリティの確保のために、または ITS (Intelligent Transportation System) 分野において使用される熱画像入力装置に好適な技術を開示するものである。

【0002】

【従来の技術】熱検出を効率良く行うためには、熱（赤外線）検出部からの放熱を抑制する必要がある。放熱の抑制には、空気を多量に含んだ断熱層が適している。従来、かかる断熱層を熱検出部の下方に形成するべく、シリコン基板をエッチングすることにより、基板内に、中空構造を有する熱分離領域を形成することが提案されている（例えば特開平 8-122162 号公報）。シリコン基板のエッチングには、KOH、ヒドラジン等のアルカリ系エッチング液のような異方性エッチング液が用いられる。

【0003】しかし、シリコン基板のエッチングは、長時間を要するために生産性が上がらない。汚染の問題も生ずるため、シリコン半導体を用いたデバイス量産工程との整合性も良くない。しかも、異方性エッチング液を用いると、シリコンの (100) 面のエッチング速度が (111) 面より速い。このため、(100) 面方位のシリコン基板を用いると、中空構造の側壁の角度が主平面に対して約 54 度となり、側壁にテーパがかかってしまう。このような側壁の傾斜を見込んで、熱検出部の下方に熱分離領域を設けようとする、熱検出部よりも

大きい領域をエッチングしなければならない。したがって、1 素子あたりの専有面積が大きくならざるを得ない。1 素子あたりの面積が大きくなると、高密度での熱検出部（熱センサ）の配置が困難となり、可視光センサとのオンチップ混載も容易ではなくなる。

【0004】特に、ゼーベック形センサのように冷接点および温接点を要する熱センサでは、感度を良くしようとすると、冷接点と温接点との距離を大きくすることが望ましい。しかし、接点間の距離を大きくすると、それ

【0005】

【発明が解決しようとする課題】そこで、本発明は、熱検出部の高密度配置を可能とする半導体装置を提供することを目的とする。また、本発明は、熱検出部の高密度配置を可能とする半導体装置の製造方法であって、シリコン半導体を用いたデバイス量産工程との整合性に優れた方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、シリコン基板と、前記シリコン基板上に形成された、シリコン酸化膜を含む断熱層と、前記断熱層上に形成された熱検出部とを含み、前記断熱層が、空洞または開口の径よりも内部の径が大きい孔を有し、前記空洞または前記孔の少なくとも一部が前記シリコン酸化膜内に形成されていることを特徴とする。

【0007】本明細書では、空洞は、断熱層の表面につながる開口が存在せず、表面上方の外気から遮断された閉じた空間を意味する。これに対し、孔は、断熱層の表面につながる開口を有する凹部である。

【0008】上記半導体装置の断熱層は孔または空洞を含んでおり、断熱性に優れている。この孔は、層表面近傍の開口よりも内部において幅広となっているため、熱検出部の高密度配置に有利である。空洞を形成すれば、断熱層の全表面を利用できるため、熱検出部の高密度配置についてさらに有利となる。

【0009】また、本発明の半導体装置の製造方法は、シリコン基板上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜上にシリコン多結晶膜を形成する工程と、前記シリコン多結晶膜および前記シリコン酸化膜にドライエッチングにより孔を形成する工程と、少なくとも前記シリコン多結晶膜の前記孔の開口に接する部分を酸化して、前記開口を閉塞するか、または前記開口の径を内部の径よりも小さくする工程と、少なくとも前記シリコン酸化膜を含む層を断熱層として、この断熱層上に熱検出部を形成する工程と、を含むことを特徴とする。

【0010】この製造方法によれば、KOH、ヒドラジ

ン等のアルカリ系エッチング液を用いずに、いわゆるシリコン量産プロセスとの整合性が高い工程のみを用いて上記半導体装置を製造することができる。

#### 【0011】

【発明の実施の形態】以下、本発明の好ましい実施形態を説明する。上記のように、本発明の好ましい実施形態では、断熱層が空洞を有する。この断熱層は、少なくともシリコン酸化膜を含み、このシリコン酸化膜の一部が除去されて空洞（または孔）の少なくとも一部が形成されている。

【0012】断熱層は、典型的な実施形態では、空洞の上方に配置された、部分的に酸化されたシリコン多結晶膜を含んでいる。また、断熱層が孔を含む場合には、断熱層が部分的に酸化されたシリコン多結晶膜を含み、孔の開口が、このシリコン多結晶膜の酸化部分によって囲まれている。半導体装置の空洞または孔は、シリコン多結晶膜の部分酸化を含む方法により形成可能であるが、この方法により形成した結果、空洞や内部が幅広となった孔は、上記のような形態のシリコン多結晶膜を含むことになる。シリコン多結晶膜として形成された膜は、実質的にすべてが酸化され、最終的にシリコン酸化膜となっていてよい。この場合は、空洞の上方に（または孔の開口を囲むように）、もう一つのシリコン酸化膜（追加のシリコン酸化膜）が存在することになる。

【0013】断熱層は、シリコン酸化膜上に形成されたシリコン窒化膜を含むことが好ましい。シリコン窒化膜は、強度が高く、孔または空洞を形成した層の強度を保つ上で好適である。シリコン窒化膜は、空洞が形成されている場合には、例えば空洞の上方において開口を有し、孔が形成されている場合には、例えば孔の開口が膜を貫通している。この開口は、典型的な実施形態では、ドライエッチングの適用に由来して形成される。シリコン窒化膜上には、さらに、部分的に酸化されたシリコン多結晶膜が形成されていてもよい。空洞または孔の幅広となった内部と、シリコン多結晶膜との間にシリコン窒化膜を形成すると、空洞などの上方においてシリコン多結晶膜がシリコン窒化膜により支えられた構造も実現できる。この構造は、強度上有利である。なお、ここでも、部分的に酸化されたシリコン多結晶膜は、その全部が酸化されたシリコン酸化膜であってもよい。

【0014】本発明の半導体装置は、断熱層と熱検出部との間に、有機材料および多孔質材料から選ばれる少なくとも一方からなる中間層をさらに含んでいてもよい。断熱性が向上するからである。また、熱検出部は、ポロメータ効果およびゼーベック効果から選ばれる少なくとも一方を有する材料からなることが好ましい。

【0015】本発明の半導体装置では、空洞または開口のシリコン酸化膜内に形成された部分の断熱層厚さ方向における径が10nm以上1μm以下であることが好ましい。径が小さすぎると十分な断熱性が得られない場合

がある。一方、必要以上に大きな径を有する断熱層を形成しても断熱性に大きく寄与せず、逆に製造効率の低下などが問題となる。空洞または孔のシリコン酸化膜内に形成された部分の断熱層の面内方向における径は、0.3μm以上0.8μm以下が好適である。本発明の典型的な一形態では、シリコン酸化膜内における径が断熱層内における面内方向の最大径となる。

【0016】なお、赤外線検出用の半導体装置は、真空パッケージに封入された状態で用いられることが多い。

10 この場合は、対流による放熱は問題にならない。

【0017】断熱層は、複数の空洞または孔を含むことが好ましい。この複数の空洞または孔は、互いに独立に存在してもよいが、断熱層内で互いにつながっていてもよい。複数の空洞または孔を所定のパターンに配列し、このパターンに沿って熱検出部を形成すると効率的に断熱効果を得ることができる。パターンに沿って空洞などが内部で互いに導通していてもよい。

【0018】上記半導体装置は、例えば固体撮像装置として利用できる。この利用分野では、シリコン基板上に複数の断熱層および熱検出部が行列状（マトリクス状）に配置され、断熱層および熱検出部の積層構造が所定の数の行および列を有するマトリクスを構成する。この場合には、熱検出部ごとに光検出部を隣接して配置することが好ましい。この好ましい例では、熱検出部による熱電変換機能と、光検出部による光電変換機能とを利用した画像を形成できる。上記半導体装置は、基本的に、断熱層形成のための余分の領域（デッドスペース）を必要としない。したがって、それだけ光電変換部を配置する領域を確保しやすい。

30 【0019】上記固体撮像装置では、行列（マトリクス）状に配置した各熱検出部からの信号が、まず、熱検出部の列に沿って垂直方向に伝達される。この伝達を行う垂直方向信号伝達手段としては、いわゆるCCD型の固体撮像装置では、電荷結合素子（CCD）が用いられる。もっとも、固体撮像装置は、垂直方向信号伝達手段として相補型MOS（C-MOS）を用いた読み出し構成を採用したいわゆるMOS型としてもよい。

【0020】上記半導体装置では、熱検出部ごとに、電荷蓄積部と、熱検出部で生成した電気信号に応じてこの電荷蓄積部から電荷を読み出す電荷読み出し部とが配置されていることが好ましい。電荷蓄積部を用いると、電圧変動などの影響を排除した安定した信号出力を得やすくなる。この電荷蓄積部は、例えば容量素子として、熱検出部に隣接した領域に配置することが好ましい。上記半導体装置は、熱検出部の形成に余分な領域を必要としないため、電荷蓄積部の形成に必要な領域を確保する上でも有利である。

【0021】本発明の半導体装置の製造方法では、シリコン多結晶膜の酸化により、孔の開口が少なくとも狭小化されるが、さらに酸化を継続して開口を閉塞してもよ

い。この場合は、ドライエッチングにより形成した孔の一部が空洞となって断熱層内部に残存することになる。

【0022】また、孔を形成した後に、ウェットエッチングにより孔に接するシリコン酸化膜の内壁を後退させて、孔の内部の径を開口の径よりも大きくする工程をさらに実施してもよい。この工程を行うと、開口と内部との径差を拡大できる。このウェットエッチングは、通常のシリコン量産プロセスに適合する液体、例えばバッファードフッ酸を用いて実施できる。

【0023】少なくとも孔の開口に接する内壁に追加のシリコン多結晶膜を付着させる工程をさらに実施してもよい。開口の狭小化ないし閉塞を効率的かつ確実にに行えるからである。より具体的には、シリコン多結晶膜の酸化後に、少なくとも孔の開口に接する内壁に追加のシリコン多結晶膜を付着させ、少なくともこの内壁に付着した上記追加のシリコン多結晶膜を酸化する工程を少なくとも1回行うことにより、孔の開口を閉塞してもよい。

【0024】ドライエッチングにより形成する孔の径は、 $0.3\mu\text{m}$ 以上 $0.4\mu\text{m}$ 以下が好適である。シリコン酸化膜の膜厚は、径の適切な大きさを考慮すると、 $10\text{nm}$ 以上 $1\mu\text{m}$ 以下が適当である。

【0025】シリコン窒化膜を形成する場合には、シリコン多結晶膜を形成する前に、シリコン酸化膜上にシリコン窒化膜を形成する工程をさらに実施するとよい。また、シリコン多結晶膜の酸化後、熱検出部の形成前に、シリコン多結晶膜上に有機材料および多孔質材料から選ばれる少なくとも一方からなる中間層を形成する工程をさらに実施してもよい。

【0026】上記半導体装置の製造方法では、ドライエッチングにより複数の孔を形成することが好ましい。この場合はさらにウェットエッチングを行って、複数の孔の間のシリコン酸化膜からなる内壁の少なくとも一部を除去して複数の孔を互いにつなげる工程をさらに実施してもよい。また、複数の孔を所定のパターンに沿って形成し、このパターンに沿って熱検出部を形成してもよい。さらに、シリコン基板上に複数の断熱層および熱検出部を行列状に形成してもよい。なお、ドライエッチングにより複数の孔を形成する場合、最終的に一部が空洞として、残部が孔として残存していてもよい。このように、上記半導体装置では、空洞と孔とが混在していても構わない。

【0027】以下、図面を参照しながら本発明をさらに説明する。図1は、本発明の半導体装置の製造方法の一例を示す工程図である。まず、熱酸化により、シリコン基板10の表面に選択的にシリコン酸化膜(LOCOS)1を形成する(図1(a))。シリコン酸化膜1上に、シリコン窒化膜2およびシリコン多結晶膜3をこの順に形成する(図1(b))。シリコン窒化膜およびシリコン多結晶膜は、例えば減圧CVD法により成膜すればよい。

【0028】シリコン多結晶膜3表面の所定の領域に、ドライエッチングによって、孔4を形成する(図1(c))。この孔4は、少なくともシリコン多結晶膜3およびシリコン窒化膜2を貫通するように形成する。図示したように、孔は、好ましくはシリコン酸化膜1とシリコン基板10との界面に達する深さを有する。エッチングは、シリコン基板10の表面に凹部が形成される程度まで継続して実施しても構わない。

【0029】次いで、ウェットエッチングによって、孔4の内部を拡大する(図1(d))。このウェットエッチングには、例えばバッファードフッ酸を用いることができる。バッファードフッ酸を用いると、シリコン多結晶膜およびシリコン窒化膜に対するシリコン酸化膜の選択比が十分に大きいエッチングを行うことができるため、孔の内壁は、シリコン酸化膜からなる孔の下方において大きく後退する。このサイドエッチングにより、孔4の断面形状は、図示したように、開口よりも内部において幅広となる。この形状をボトルと見れば、孔の開口はボトルのネック部分に相当する。このネック部分は、通常、シリコン酸化膜1よりも上方に存在する。

【0030】サイドエッチングによる孔の内壁の後退幅は、孔内部の径 $d_2$ と孔開口の径 $d_1$ の差の $1/2$ により示すことができる。1回のエッチングによって十分な径の差が得られなければ、ウェットエッチングを繰り返して行ってもよい。しかし、一般に用いられている20:1程度のバッファードフッ酸を適用する工程では、サイドエッチングによる後退幅( $(d_2 - d_1)/2$ )は、 $0.2\mu\text{m}$ 程度以下である。図示した形態では、孔4の間にシリコン酸化膜の隔壁11が残されている。しかし、ドライエッチングにより形成する孔の間隔を狭くすれば、ウェットエッチングにより孔を互いにつなげることも可能である。

【0031】さらに、シリコン多結晶の薄膜6を減圧CVD法などにより成膜する(図1(e))。引き続き、シリコン多結晶膜の酸化を行う(図1(f))。シリコン多結晶膜の酸化によって孔の開口が閉じ、その結果、孔は空洞5となる。空洞の上方には、空洞と上方の空間との間を遮蔽する遮蔽膜7が形成される。図1(f)では、シリコン多結晶膜のすべてが酸化されて遮蔽膜となった状態を表示したが、この膜は、表面が部分的に酸化された不均質なシリコン多結晶膜であってもよい。例えば、遮蔽膜は、図3に示すように、表面および空洞の上方の一部が部分的に酸化されてシリコン酸化膜9となったシリコン多結晶膜6である。なお、空洞6の内部にも、シリコン多結晶膜が完全に酸化されずにシリコン酸化膜中に残存する場合がある。この場合には、図3に示すように、空洞を含むシリコン酸化膜1にはシリコン多結晶膜6の一部が混在している状態となることがある。

【0032】こうして形成された空孔を含むシリコン酸化膜、シリコン窒化膜および遮蔽膜からなる断熱層上

に、熱検出部 8 を形成する (図 1 (g))。この断熱構造は、1000℃程度の後工程には十分耐え得るものとなる。したがって、適用する熱検出材料は広い範囲から選択できる。例えば、バナジウム酸化物 ( $\text{VO}_x$ )、チタン等のボロメータ材料、ゼーベック効果を有するクロメル・アルメル熱電対 (chromel-alumel thermocouple)、シリコン多結晶膜等を使用できる。

【0033】上記一連の工程において、シリコン窒化膜 2 は必須の膜ではない。しかし、シリコン窒化膜は、内部が幅広となった孔や空洞の上方の膜の強度を確保するためには、成膜することが好ましい。追加のシリコン多結晶膜 6 も同様に必須ではない。この場合、シリコン多結晶膜 3 の少なくとも表層が酸化される。しかし、追加のシリコン多結晶膜 6 は、酸化による孔の閉塞を迅速かつ確実にを行うためには成膜することが好ましい。

【0034】孔の開口は、望ましい断熱構造を実現するためには閉塞することが好ましいが、必ずしも完全に閉じなくてもよい。この場合、断熱層には、空孔 5 ではなく、開口の径が内部の径よりも小さくなった孔が残存することになる。また、ウェットエッチングは、内部と開口との径の差を大きくするためには行うことが好ましいが、必ずしも実施する必要はない。すなわち、ドライエッチングの後、ウェットエッチングを行うことなく孔の開口の狭小化のための酸化を実施しても構わない。

【0035】ドライエッチングにより形成する孔の径  $d_1$  は、0.3~0.4  $\mu\text{m}$  が適当である。したがって、ウェットエッチングを経て拡大する孔の径  $d_2$  は、ウェットエッチングによる径の適当な拡大幅 (~0.2  $\mu\text{m}$ ) を考慮すると、0.3~0.8  $\mu\text{m}$  程度である。シリコン酸化膜の膜厚は、10 nm 以上 1  $\mu\text{m}$  以下の範囲が好適である。径の (開口を除く) 内部または空洞の断熱層厚さ方向の径を上記適切な範囲に調整できるからである。

【0036】以上説明した方法では、熱分離領域となる断熱層を一般的なシリコン量産プロセスとの整合性に優れた工程により形成することとしている。内部の孔または空孔は、 $\mu\text{m}$  レベルで精度良く形成できる。この断熱層は、その後の高温処理にも耐え得るものとなる。

【0037】上記半導体装置では、図 2 に示したように断熱層 20 と熱検出部 8 との間に中間膜 21 を介在させてもよい。中間膜 21 として利用できる材料は、特に限定されないが、ポリイミド、シロキサン変性ポリイミド、シロキサン等の Si-H 基を含んだ SOG 膜、多孔質ナノフォームポリイミド、アエロジル膜等を例示できる。この材料には、低誘電体材料として開発されたいわゆるナノフォーム材料が含まれる。この場合は、中間膜の材料に応じて、熱検出部の形成などの後工程における適用温度を例えば 300~900℃程度とするとよい。

【0038】上記半導体装置は、さらに他の層を含んでもよく、中間膜を多層膜としてもよい。孔または空

洞を含む断熱層を、遮蔽膜を介して複数層積層してさらに断熱効果を高めても構わない。

【0039】図 4 は、上記で説明したドライエッチングに用いるマスクの一例である。このマスク 31 を用いると、開口 32 に対応して、シリコン酸化膜に縦横に規則的に配列した孔が形成される。この孔にさらにウェットエッチングを適用すると、図 5 に示す孔 33 (または空洞) が形成される。しかし、ドライエッチングには、図 6 に示すように開口 42 を所定のパターンに配列したマスク 41 を用い、孔または空洞が、断熱層の表面に所定のパターンとなるように配置してもよい。この場合、図 7 に示すように、開口のパターンを、断熱層上に形成する熱検出部 44 のパターンと一致させるとよい。規則的に配置した孔を単に拡大していくとやがて断熱層の強度が維持できなくなるが、所定のパターンを描く空洞 43 に沿って熱検出部 44 を形成すると、層の強度を維持しながら効率的に断熱することができる。

【0040】図 7 に示した形態では、熱検出部 44 に沿って空洞が断熱層の内部において互いに導通している。断熱層は、空洞の周囲および空洞間の隔壁 45 により陥没することなく熱検出部 44 を支持している。上記製造方法を適用すると、断熱層の所定領域の内部に孔または空洞を形成できるため、断熱層の構造を適切に設計できる。熱検出部 44 は、特に限定されないが、狭い面積において長さを確保するべく、典型的には図示したように、所定方向に沿って往復しながら折り畳まれて形成される。

【0041】上記で説明した断熱構造を有する熱検出部 (熱センサ) は、熱画像表示機能を有する固体撮像装置に応用できる。この固体撮像装置は、図 8 に示すように、熱センサを形成した画素 100 を列および行方向に所定個数マトリックス状に配列し、熱センサの列と列との間に垂直 (方向) 信号伝達手段 104 が配置されている。熱センサにより熱電変換された電気信号は、垂直信号伝達手段からさらに水平 (方向) 信号伝達手段 105 により伝達されていく。図 9 に示すように、熱センサ 103 の下部には空洞 102 を有する断熱層 101 が配置されている。各画素からの電気信号は、垂直信号伝達手段 104、水平信号伝達手段 105、出力アンプ 106 を順次経由して外部に読み出される。

【0042】図 10 および図 11 に、上記固体撮像装置の別の形態を示す。この固体撮像装置では、熱検出画素 200 と光検出画素 210 とが垂直方向に交互に配置されている。この固体撮像装置でも、熱センサ (赤外線センサ) 203 の下部に空洞 202 を有する断熱層 201 が配置されている。各画素からの電気信号は、垂直信号伝達手段 204、水平信号伝達手段 205、出力アンプ 206 を順次経由して外部に読み出される。光センサ (可視光センサ) としては、シリコン基板内に形成したフォトダイオードを用いればよい。この固体撮像装置



は、熱電変換機能に加え、光電変換機能を有する画像形成装置となる。また、上記断熱層を利用した熱センサの小型化により、フォトダイオードの面積、換言すれば感度を確保しやすい構造を備えている。

【0043】図12～図16を参照して熱センサの構造およびこのセンサからの信号の出力についてさらに説明する。ここでは、赤外線検出材料としてボロメータ材料を用い、垂直信号伝達手段としてCCD（VCCD）を採用している。

【0044】熱センサを形成した各画素303には、クロックを与える $\phi VR301$ と基準電位を与える $VL$ （例えばGND）302が供給される。タイミングチャート（図16）およびポテンシャル図（図15）に示したように、まず、期間（3d-1）において、VCCD端に設けられたn型拡散領域311に接続された $\phi Vs$ 端子304より電荷注入を行う。このとき、 $\phi Vi316$ には例えば15Vを印加して読み出しゲート307をon状態として、蓄積容量部308を電荷で満たす。 $\phi Vs304$ の印加電圧は例えば15Vである。

【0045】読み出しゲート307をoff状態として期間（3d-2）においてVCCDの高速掃き出しを行った後、期間（3d-3）で画素からの信号読み出しを行う。画素からの信号の読み出しは、検出アンプのゲート電圧に応じた信号電荷 $Qsig$ が蓄積容量部308から読み出されることによって行われる。期間（3d-4）において、 $\phi Vi316$ 、 $\phi V2317$ 、 $\phi V3318$ 、 $\phi V4319$ への所定の電圧パルスの印加によって信号電荷の転送が行われる。

【0046】なお、ここで、ゲート間容量309は、検出アンプ306のドレインと読み出しゲート307との間において形成された容量である。

【0047】ボロメータ材料を用いた熱センサ310は、赤外線照射領域314（点A～点B）と赤外線遮断領域315（点B～点C）との2つの領域にかけて形成されている。この両領域の境界近傍の点Bから取り出される電位 $Vg$ は、以下の式（1）により表示される。

$$Vg = (R1 / (R1 + R2)) VRH \quad (1)$$

【0049】ここで、 $VRH$ は図16に示されている $\phi VR$ に印加されるパルス電圧、 $R1$ 、 $R2$ はそれぞれ赤外線照射領域および赤外線遮断領域における熱センサの抵抗値である。 $R1$ および $R2$ は、以下の式（2）、（3）によりそれぞれ示すことができる。

$$R1 = R1(300K) (1 + \alpha (T1 - 300K)) \quad (2)$$

$$R2 = R2(300K) (1 + \alpha (T2 - 300K)) \quad (3)$$

【0051】ここで、 $R1(300K)$ および $R2(300K)$ は、それぞれ温度300Kにおける $R1$ および $R2$ の抵抗値、 $T1$ および $T2$ は、それぞれ抵抗 $R1$ および $R2$ の温度、 $\alpha$ はTCR（Temperature Coefficient of Resistance）で

ある。

【0052】熱センサの感度を上げるためには、 $\alpha$ が高い材料を用い、センサの構造を赤外線の照射によって $T1$ と $T2$ との差異が生じやすい構造とすることが望まれる。この熱センサでは、空孔を有する断熱層により温度差が保たれやすい構造がとられているため、高感度を得る上で有利である。

【0053】また、上記断熱層は、余分の広い領域を要することなく形成できるため、上記で説明したように、10 固体撮像装置の各画素内に、電荷を蓄積するための蓄積容量部308を配置する領域を確保しやすい。蓄積容量部に蓄積した電荷を読み出す構成とすると、電源のノイズや電圧変動の影響を受けにくくなり、安定した動作を得ることができる。蓄積容量部の容量は大きいほうが高い感度を得やすい。この点でも、断熱層の形成のためのみに用いられる無駄な領域を排除できる上記固体撮像装置は有利である。

【0054】図16のタイミングチャートにおける各電圧を以下に例示する。

20 熱センサに印加される電圧： $VRH = 20V$ 、 $VR_L = 5V$   
VCCDに印加される電圧： $VH = 15V$ 、 $VM = 0V$ 、 $VL = -7V$   
VCCD端のソースに印加される電圧： $VSH = 15V$ 、 $VSL = 3V$

【0055】固体撮像装置の別の形態を、図17～図21を参照して説明する。この固体撮像装置では、熱センサにゼーベック材料を用いている。ここでも、垂直信号伝達手段にはCCD（VCCD）を用いている。熱センサとしては、n型多結晶シリコン410aとp型多結晶シリコン410bとを交互に複数個（例えば各々2個以上）直列に接続して構成したサーモパイル410が用いられている。

【0056】単位画素を構成する各熱検出画素401には、基準電圧 $Vref402$ とソース電圧403とが供給される。タイミングチャート（図21）およびポテンシャル図（図20）に示したように、まず、期間（4d-1）において、ソース電極404を $\phi Vs = VSL$ として、基準ゲート405のゲート下チャネルを通じ、蓄積容量部406に電荷が注入される。

40 【0057】次に、期間（4d-2）において、ソース電極404の電位は $\phi Vs = VSH$ となり、蓄積容量部406の表面電位は、基準ゲートのゲート下チャネル電位に合わせ込まれる。期間（4d-3）では、 $\phi Vi = VH$ となり、読み出しゲート409がon状態となる。ゲートがon状態の間、赤外線照射によるゼーベック効果による電位変動 $\Delta V$ に応じて、蓄積容量部406に蓄えられていた電荷がVCCDに読み出されて信号電荷 $Qsig$ となる。このあと、期間（4d-4）では $\phi Vi413$ 、 $\phi V2414$ 、 $\phi V3415$ 、 $\phi V4412$ への所定の電圧パルスの印加によって信号電荷の転送が行われる。

【0058】サーモパイル410は、赤外線照射領域420に存在するpn接合と赤外線遮断領域に存在するpn接合とが交互に連続している。このセンサで発生する点Aと点Bとの間の $\Delta V$ は、式(4)により表示できる。

$$\text{【0059】 } \Delta V = N \cdot \alpha \cdot \Delta T \quad (4)$$

【0060】ここで、Nはpn接合の段数、 $\alpha$ はゼーベック係数、 $\Delta T$ はセンサ部分の温度変化である。

【0061】図21のタイミングチャートにおけるサーモパイルの点Aに印加される電圧は、例えば、 $V_{SL} = 2.5V$ 、 $V_{SH} = 4.0V$ 、 $V_{ref} = 3.0V$ である。

【0062】固体撮像装置のまた別の形態を、図22～図24を参照して説明する。この固体撮像装置では、信号の読み出しにC-MOSを用い、各画素にはボロメータ材料を用いている。

【0063】この固体撮像装置では、赤外線照射画素516の行と赤外線遮断画素517の行とが垂直(列)方向に交互に配置されている。ここでも赤外線遮蔽画素は、タングステンシサイド等の遮光膜により覆われている。熱センサ518は、赤外線照射画素516からこれに隣接する赤外線遮断画素517にわたって形成されている。この一対の画素516、517からは、これらの画素に照射される赤外線の量に応じて定まる検出用FET514、515のゲート電位に応じた信号が外部に読み出される。また、この一対の画素には、 $\phi V_D 501$ および基準電位 $V_{ref} 504$ が供給されている。

【0064】第n行、第(n+1)行第(n+2)行、...の画素行には、順次、第n選択線505、第(n+1)選択線506、第(n+1)選択線507、...が接続している。各選択線は、垂直シフトレジスタ(V-SCAN)502から選択用FET512、513のゲートに電圧 $\phi V_{sel}$ を印加してこのFETをon状態とすることにより、当該画素行を選択する。この状態で、水平転送レジスタ(H-SCAN)503により、各列ごとに配置されたFET(FET-SW)509によって、所定の画素行からの信号出力が、列ごとに出力アンプ510を経て順次読み出されていく。

【0065】各選択線に印加される電圧パルスのパターンと、得られる信号出力の一例を図24に示す。期間(5d-1)(5d-3)では赤外線照射画素群からの信号出力が、期間(5d-2)(5d-4)では、赤外線遮断画素群からの信号出力が、それぞれ得られている。この固体撮像装置でも、基本的には、式(1)～式(3)に示したボロメータ材料による電位変化が利用されている。

【0066】固体撮像装置のさらに別の形態を、図25～図28を参照して説明する。この固体撮像装置では、信号の読み出しにC-MOSを用い、各画素にはゼーベック型の熱センサーを用いている。

【0067】ここでも、赤外線照射画素616の行と赤外線遮断画素617の行とが垂直(列)方向に交互に配

置している。ここでも赤外線遮蔽画素は、タングステンシサイド等の遮光膜により覆われている。熱センサ618は、n型多結晶シリコンとp型多結晶シリコンとが交互に直列に接続して構成されており、pn接合は、1つおきに冷却領域(cool area)619に配置されている。この領域619の下方には、断熱層が配置されていない。したがって、相対的に速く基板への放熱が行われる。この一対の画素616、617からは、これらの画素に照射される赤外線の量に応じて定まる検出用FET614、615のゲート電位に応じた信号が外部に読み出される。また、各画素には、 $\phi V_D 601$ および基準電位 $V_{ref} 604$ が供給されている。

【0068】第n行、第(n+1)行第(n+2)行、...の画素行には、順次、第n選択線605、第(n+1)選択線606、第(n+1)選択線607、...が接続している。各選択線は、垂直シフトレジスタ(V-SCAN)602から選択用FET612、613のゲートに電圧 $\phi V_{sel}$ を印加してこのFETをon状態とすることにより、当該画素行を選択する。この状態で、水平転送レジスタ(H-SCAN)603により、各列ごとに配置されたFET(FET-SW)609によって、所定の画素行からの信号出力が、列ごとに出力アンプ610を経て順次読み出されていく。

【0069】各選択線に印加される電圧パルスのパターンと、得られる信号出力の一例を図28に示す。期間(6d-1)(6d-3)では赤外線照射画素群からの信号出力が、期間(6d-2)(6d-4)では、赤外線遮断画素群からの信号出力が、それぞれ得られている。この固体撮像装置でも、基本的には、式(4)に示したゼーベック効果を有する電位変化が利用されている。

【0070】

【発明の効果】以上説明したように、本発明によれば、熱検出部を高密度に配置できる半導体装置を提供できる。また、この半導体装置を、シリコン量産プロセスとの整合性に優れた方法により製造できる。本発明の半導体装置は、例えば赤外光から可視光までを取り扱える固体撮像素子として利用できる。

【図面の簡単な説明】

【図1】 本発明の製造方法の一例を示す工程図である。

【図2】 本発明の半導体装置の一例を示す断面図である。

【図3】 本発明の半導体装置の別の一例を示す断面図である。

【図4】 本発明の製造方法においてドライエッチングに用いるマスクの一例を示す平面図である。

【図5】 図4のマスクを用いて製造した半導体装置の孔の配列を示す斜視図である。

【図6】 本発明の製造方法においてドライエッチングに用いるマスクの別の例を示す平面図である。

15

【図 7】 図 6 のマスクを用いて製造した半導体装置の孔の配列を熱検出部の配列とともに示す平面図である。

【図 8】 本発明を適用した固体撮像装置の一例を示す平面図である。

【図 9】 図 8 の固体撮像装置の部分切り取り斜視図である。

【図 10】 本発明を適用した固体撮像装置の別の一例を示す平面図である。

【図 11】 図 10 の固体撮像装置の部分切り取り斜視図である。

【図 12】 本発明を適用した固体撮像装置の別の一例を示す平面図である。

【図 13】 図 12 の固体撮像装置の部分拡大図である。

【図 14】 図 12 の固体撮像装置の等価回路を示す図である。

【図 15】 図 12 の固体撮像装置のポテンシャル変化を示す図である。

【図 16】 図 12 の固体撮像装置の駆動に用いられるタイミングチャートを示す図である。

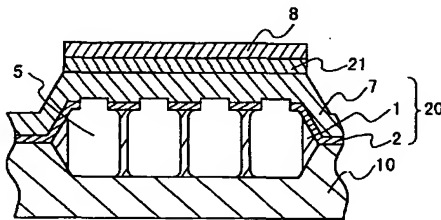
【図 17】 本発明を適用した固体撮像装置のまた別の一例を示す平面図である。

【図 18】 図 17 の固体撮像装置の部分拡大図である。

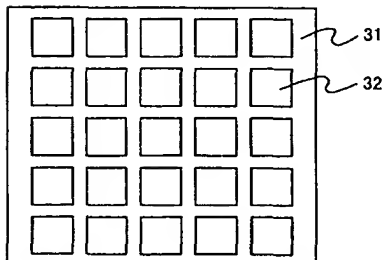
【図 19】 図 17 の固体撮像装置の等価回路を示す図である。

【図 20】 図 17 の固体撮像装置のポテンシャル変化を示す図である。

【図 2】



【図 4】



16

【図 21】 図 17 の固体撮像装置の駆動に用いられるタイミングチャートを示す図である。

【図 22】 本発明を適用した固体撮像装置のさらに別の一例を示す平面図である。

【図 23】 図 22 の固体撮像装置の部分拡大図である。

【図 24】 図 22 の固体撮像装置の駆動に用いられるタイミングチャートを信号出力とともに示す図である。

【図 25】 本発明を適用した固体撮像装置のまた別の一例を示す平面図である。

【図 26】 図 25 の固体撮像装置の部分拡大図である。

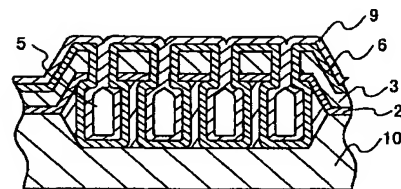
【図 27】 図 25 の固体撮像装置の部分拡大図である。

【図 28】 図 25 の固体撮像装置の駆動に用いられるタイミングチャートを信号出力とともに示す図である。

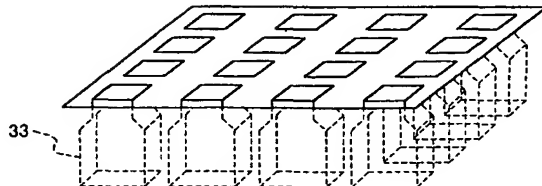
#### 【符号の説明】

- 1 シリコン酸化膜 (LOCOS)
- 2 シリコン窒化膜
- 3 シリコン多結晶膜
- 4 孔
- 5 空洞
- 6 (追加の) シリコン多結晶膜
- 7 遮蔽膜
- 8 熱検出部
- 10 シリコン基板
- 20 断熱層
- 21 中間層

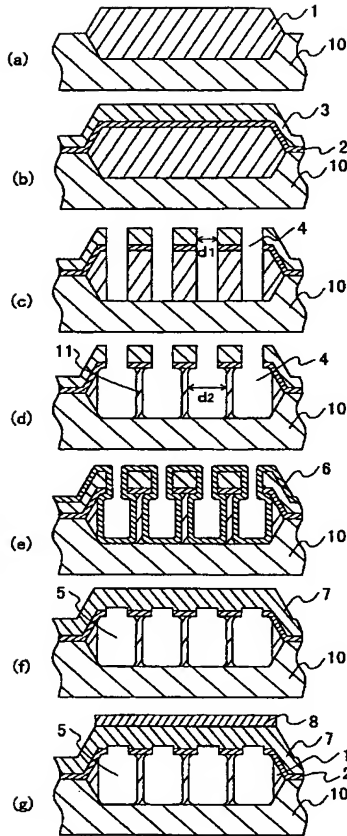
【図 3】



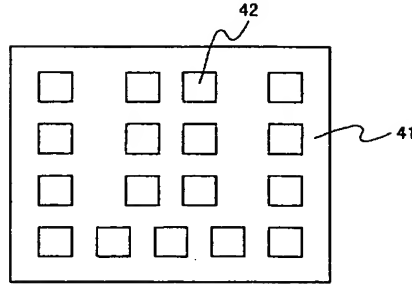
【図 5】



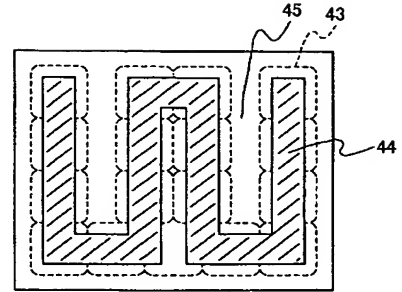
【図 1】



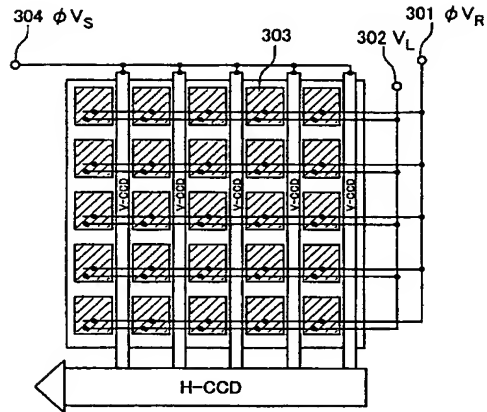
【図 6】



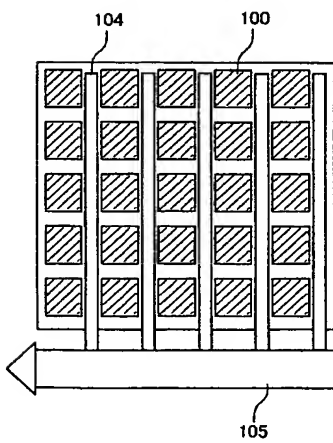
【図 7】



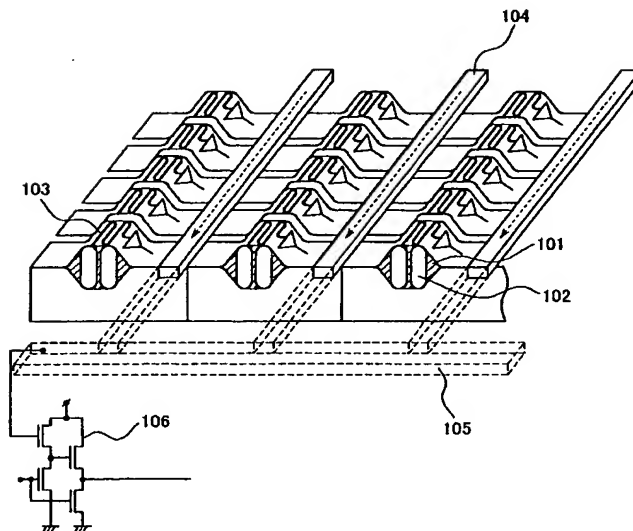
【図 12】



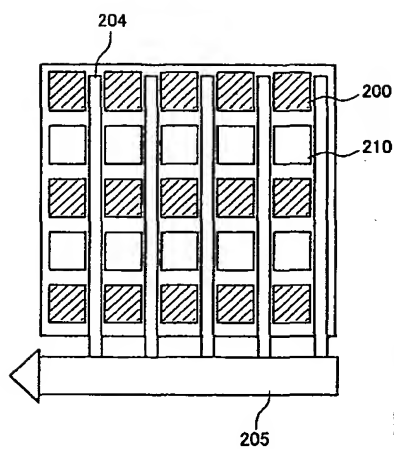
【図 8】



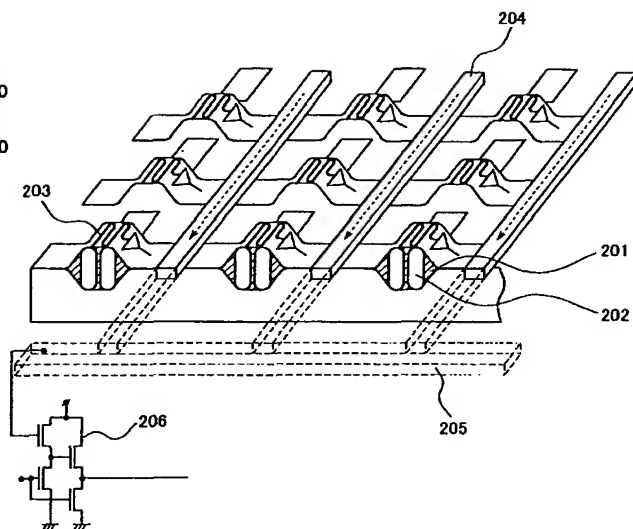
【図 9】



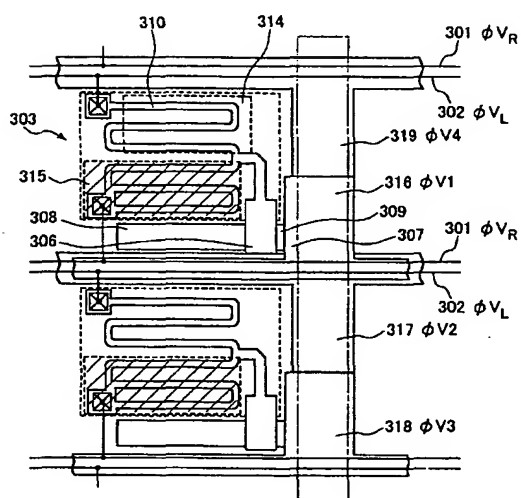
【図 10】



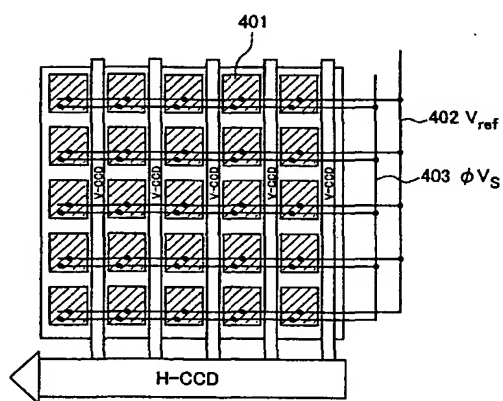
【図 11】



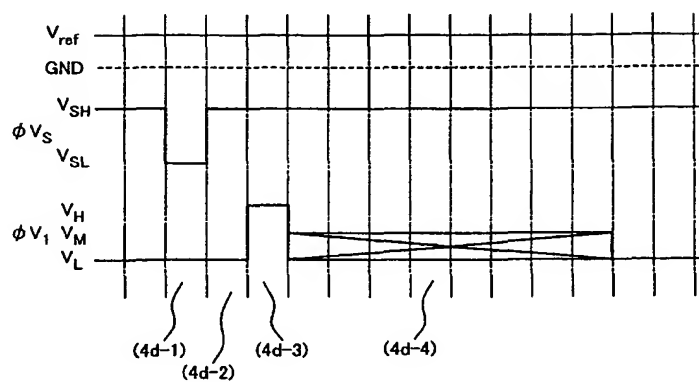
【図 13】



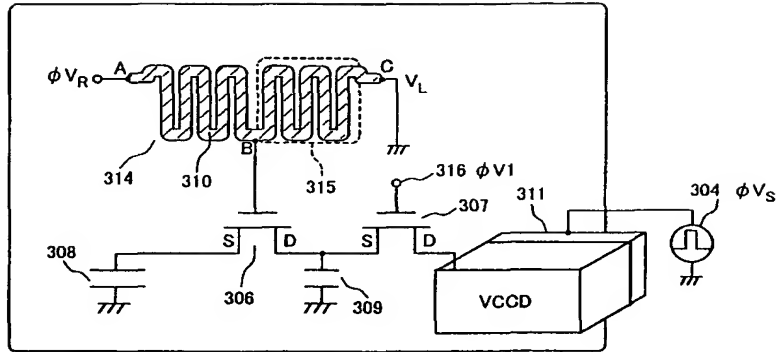
【図 17】



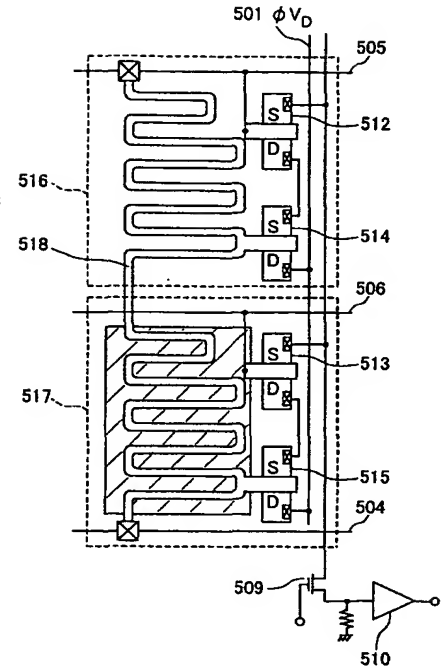
【図 21】



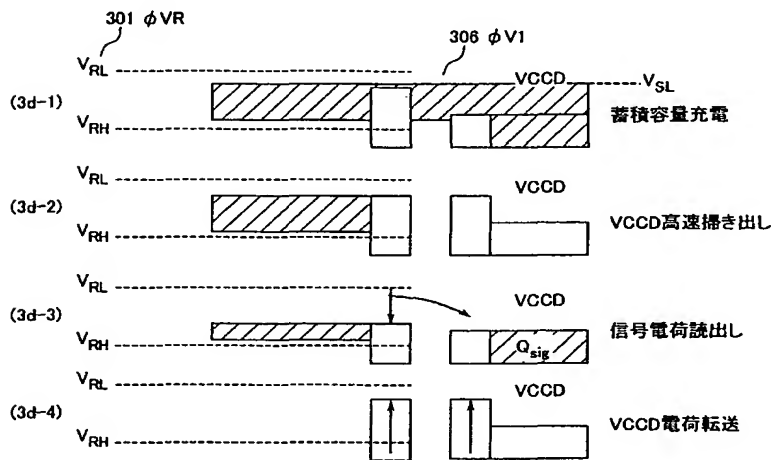
【図14】



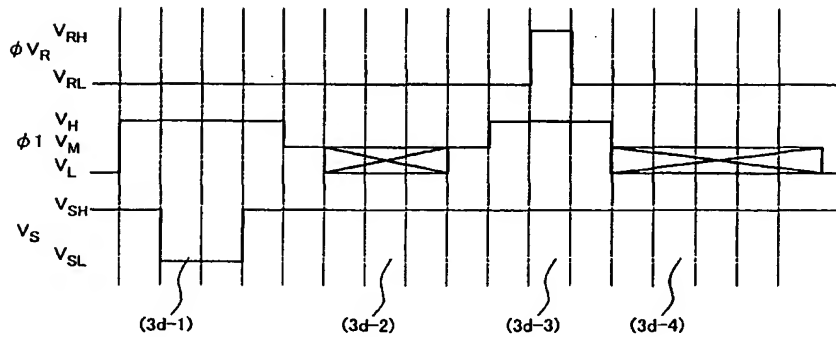
【図23】



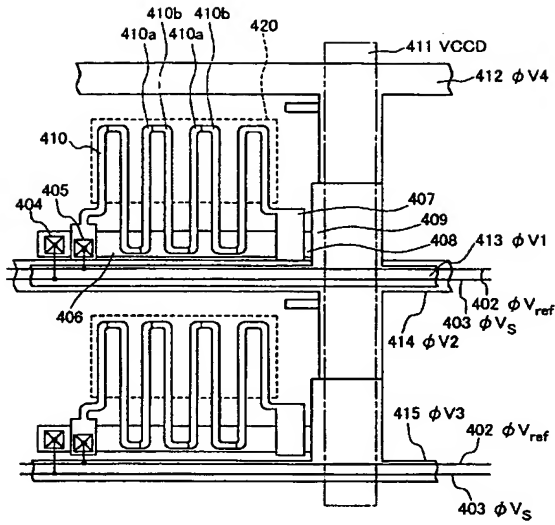
【図15】



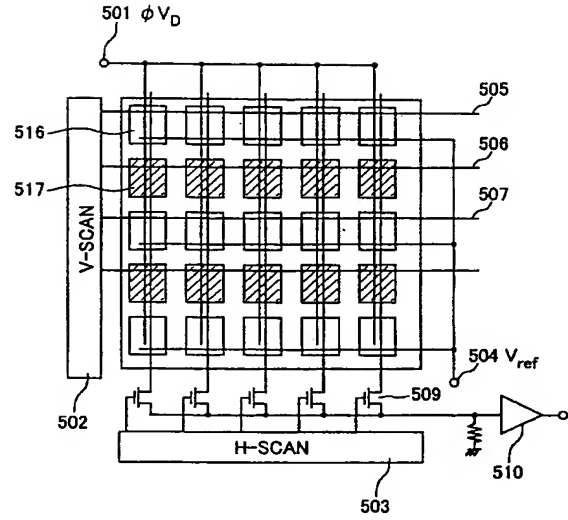
【図16】



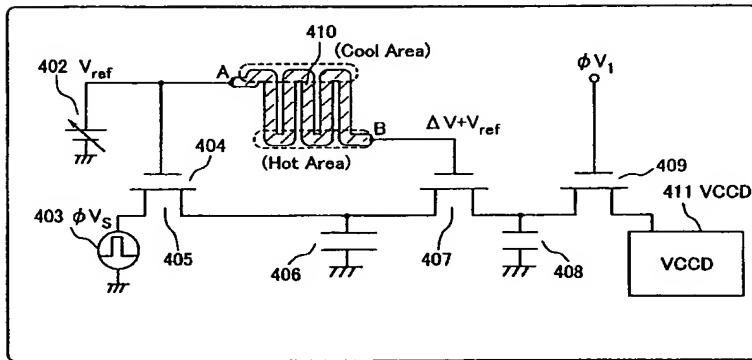
【図 18】



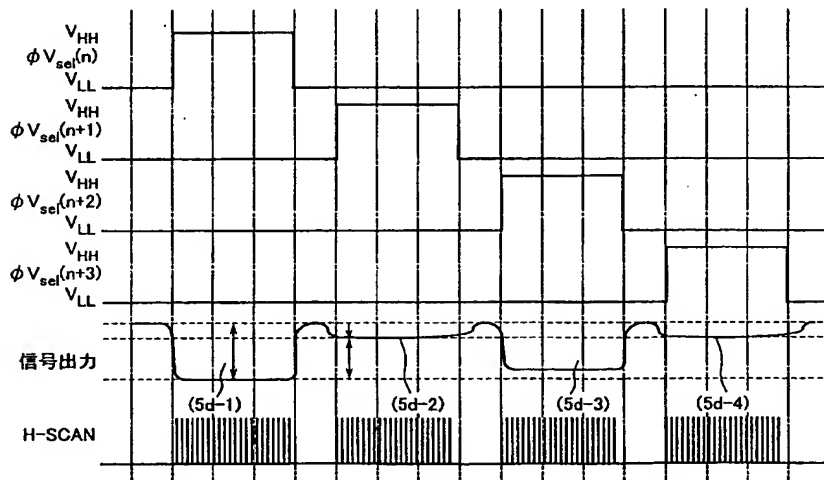
【図 22】



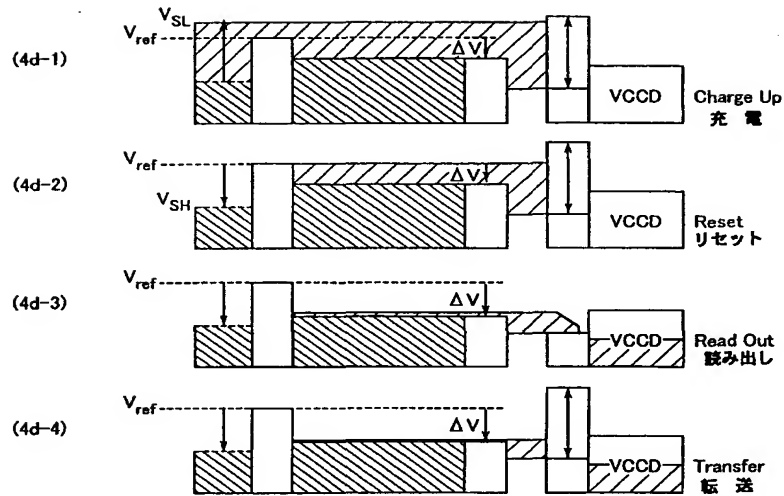
【図 19】



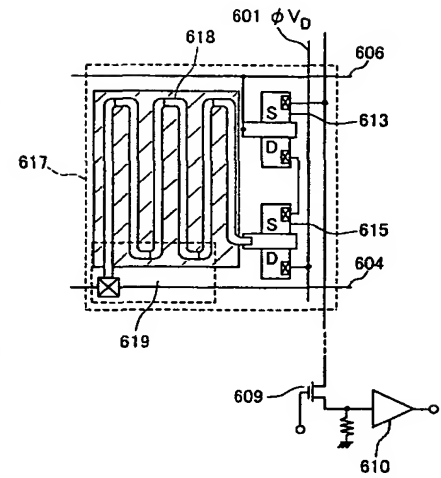
【図 24】



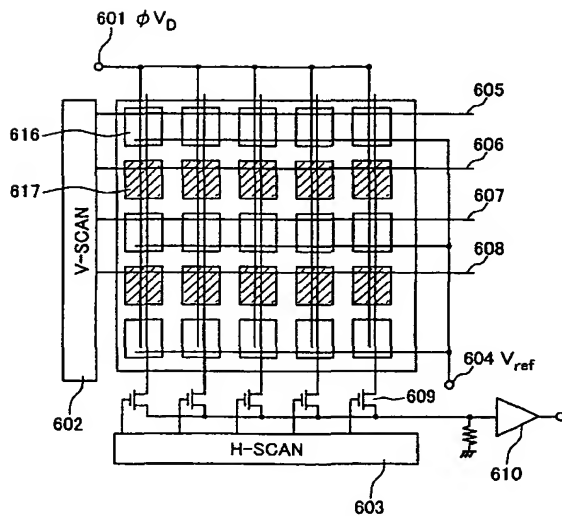
【図 20】



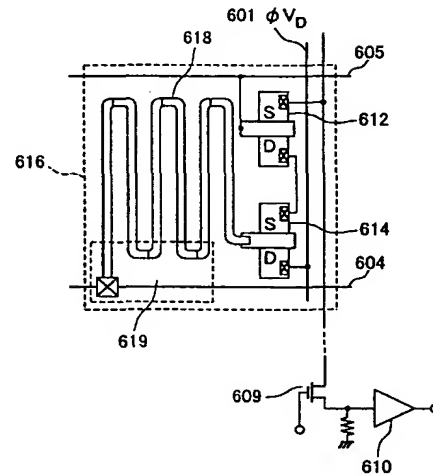
【図 27】



【図 25】

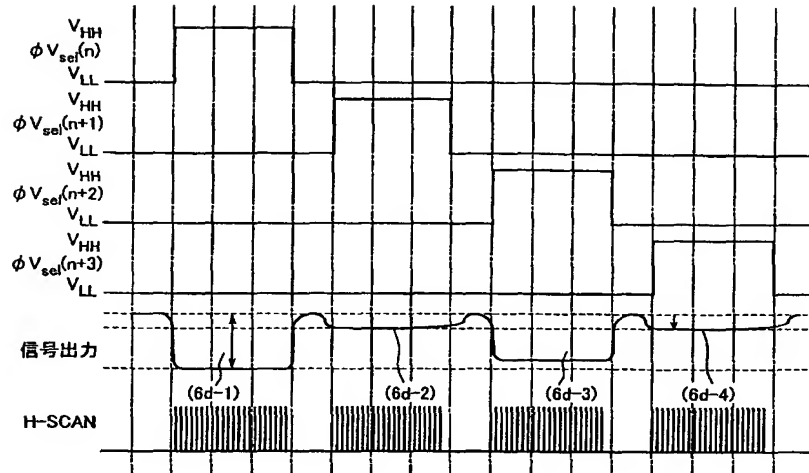


【図 26】





【図 28】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 35/32  
35/34  
37/02

識別記号

FI

H01L 37/02  
27/14

テームト\* (参考)

K  
B

(72) 発明者 山田 隆博  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 西尾 利恵子  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 魚住 浩明  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 榊山 雅之  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 山口 ▲琢▼己  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 尾上 順一  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内